

本文主要介绍说明 XQ6657Z35-EVM 高速数据处理评估板 ZYNQ 与 DSP 之间 EMIF16 通信的功能、使用步骤以及各个例程的运行效果。

[基于 TI KeyStone 架构 C6000 系列 TMS320C6657 双核 C66x 定点/浮点 DSP 以及 Xilinx Zynq-7000 系列 SoC 处理器 XC7Z035-2FFG676I 设计的异构多核评估板，由核心板与评估底板组成。]

1.1 ZYNQ 与 DSP 之间 EMIF16 通信

1.1.1 例程位置

ZYNQ 例程保存在资料盘中的 Demo\ZYNQ\PL\FPGA_DSP_EMIF 文件夹下。

DSP 例程保存在资料盘中的 Demo\DSP\XQ_EMIF16 文件夹下。

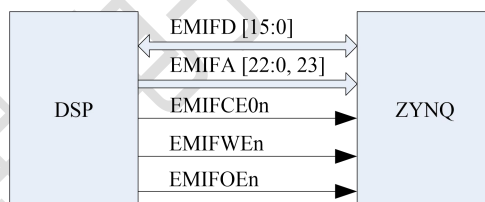
1.1.2 功能简介

实现 DSP 与 ZYNQ PL 端之间 EMIF16 接口传输功能。

DSP 首先通过 EMIF16 接口往 ZYNQ PL 端发送 4096 字节数据，然后再读回来，并检测数据是否有错，数据发送、读回以及错误情况实时打印。

ZYNQ PL 端开辟了一块 RAM 空间，用于存放 DSP 通过 EMIF16 接口写入的数据，同时用作 DSP 通过 EMIF16 接口读数据时的数据源。

DSP 与 ZYNQ PL 端之间 EMIF16 接口连接示意图如下图所示：



EMIF16 接口信号定义说明如下表格所示：

信号名	功能描述
EMIFD [15:0]	双向数据总线。 DSP 读数据时，对 DSP 而言是输入接口； DSP 写数据时，对 DSP 而言是输出接口。
EMIFA [23:0]	地址总线，注意实际使用时，23bit 作为最低位。ZYNQ PL 端例程只使用了其中的 12bits 作为地址总线作为示例。 DSP 端：为输出接口； ZYNQ PL 端：为输入接口。
EMIFCE0n	片选信号，低电平有效。 DSP 端：为输出接口； ZYNQ PL 端：为输入接口。
EMIFWEEn	写使能信号，低电平有效。 DSP 端：为输出接口；

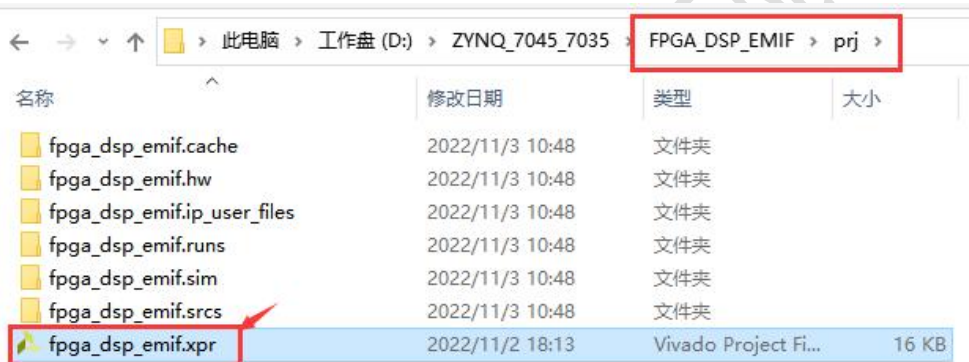
	ZYNQ PL 端：为输入接口。
EMIF0En	输出使能信号，即 DSP 读使能，低电平有效。 DSP 端：为输出接口； ZYNQ PL 端：为输入接口。

1.1.3 例程使用

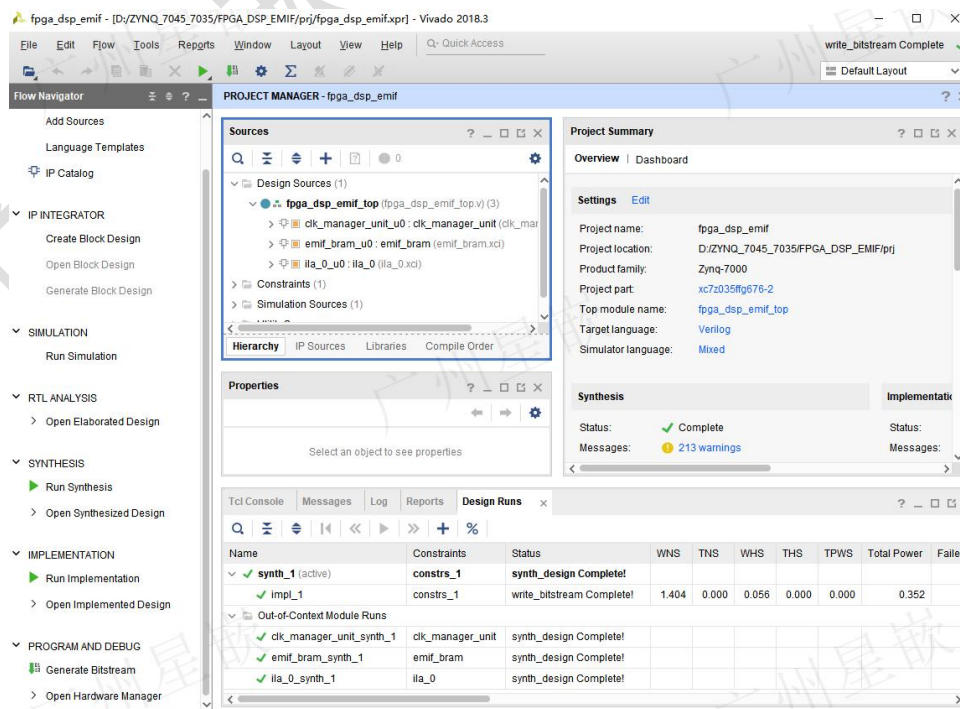
1.1.3.1 加载运行 ZYNQ 程序

1.1.3.1.1 打开 Vivado 工程

打开 Vivado 示例工程：

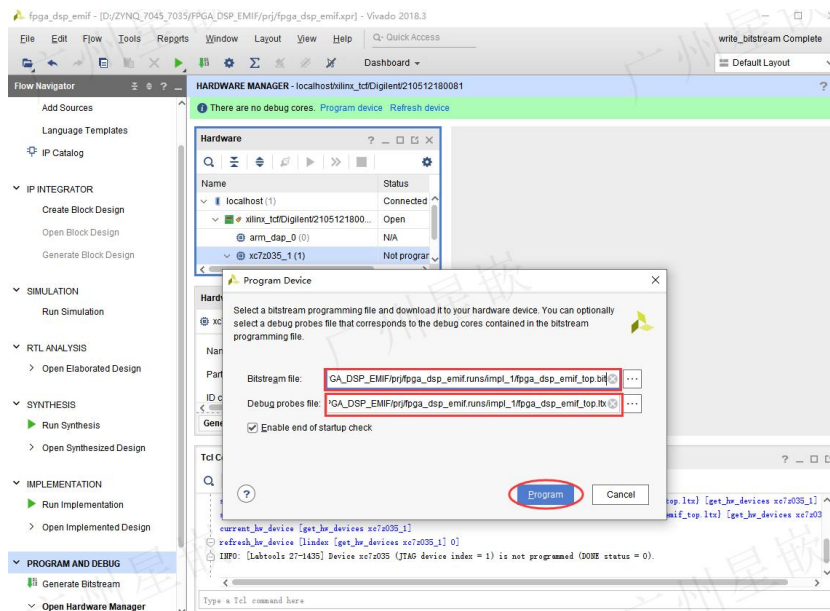


工程打开后界面如下图所示：



1.1.3.1.2 下载 ZYNQ PL 程序

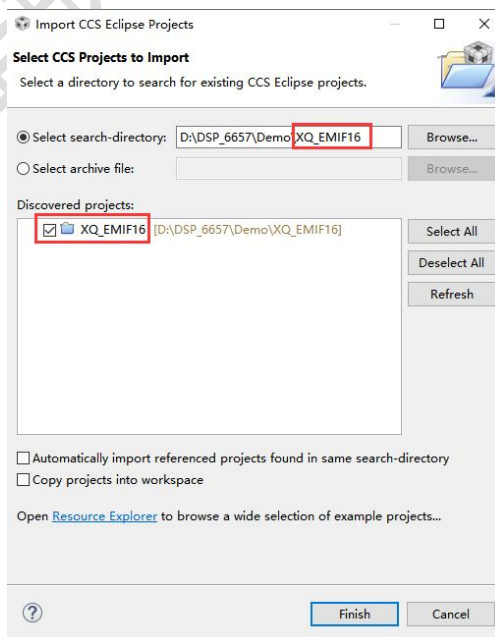
下载 bit 流文件 fpga_dsp_emif_top.bit，并且配套 fpga_dsp_emif_top.ltx 调试文件，如下图所示下载界面所示：



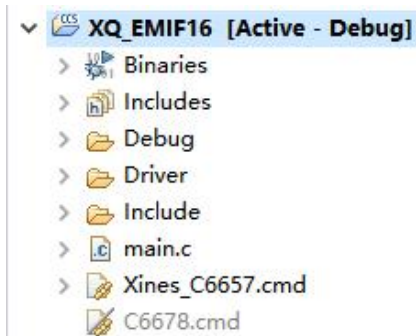
1.1.3.2 加载运行 DSP 程序

1.1.3.2.1 CCS 导入例程

CCS 软件导入 EMIF16 示例工程 XQ_EMIF16，如下图所示：

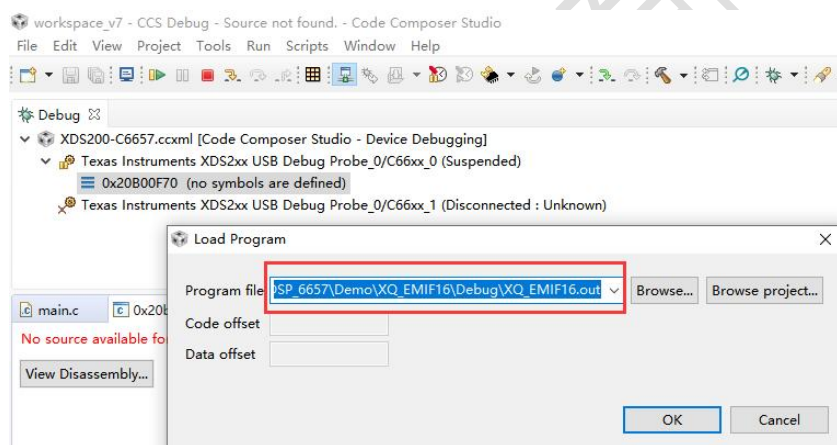


CCS 示例工程导入后界面如下图所示：

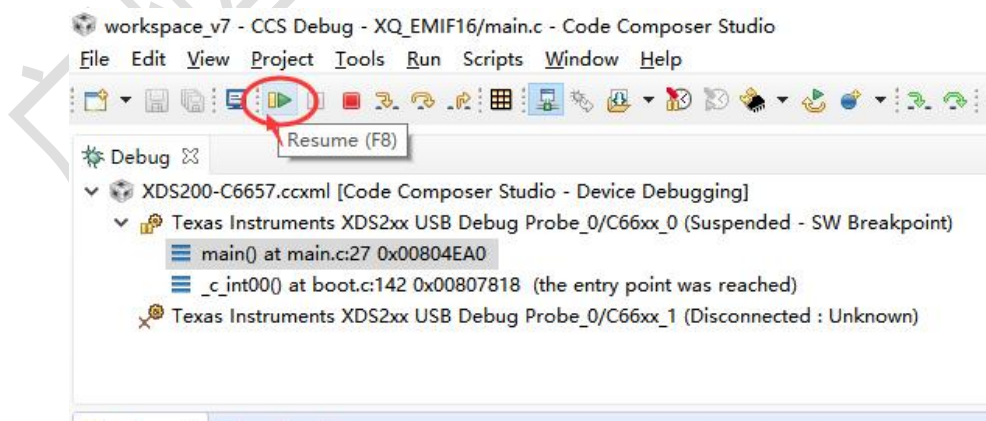


1.1.3.2.2 下载运行 CCS 程序

下载 DSP 可执行文件 XQ_EMIF16.out:



点击 Resume 运行 DSP 程序:



1.1.3.3 运行结果说明

1.1.3.3.1 DSP 程序运行结果

DSP 首先通过 EMIF16 接口往 ZYNQ PL 端发送 4096 字节数据，然后再读回来，并检测数据是否有错，数据发送、读回以及错误情况实时打印，如下图所示：

```

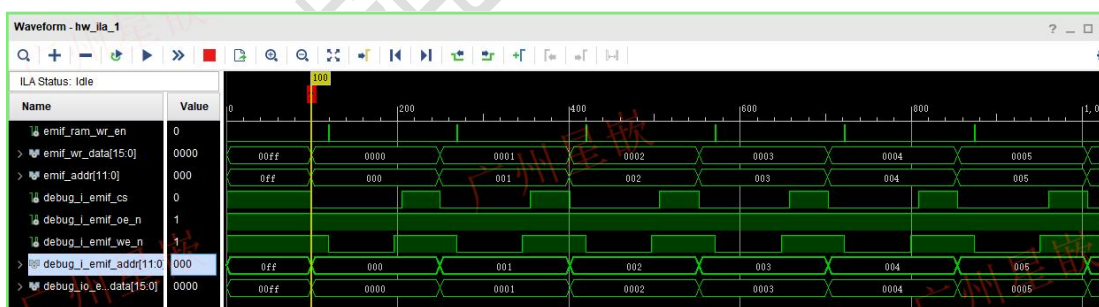
Console X
XDS200-C6657.ccxml:CIO
=====

DSP Write to ZYNQ PL 4096 Bytes
DSP Read from ZYNQ PL 4096 Bytes
=====
EMIFA_error_count = 0 Bytes
=====

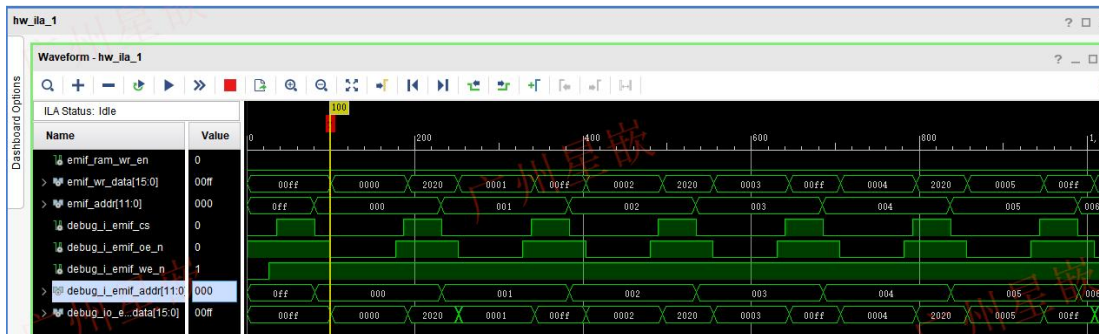
DSP Write to ZYNQ PL 4096 Bytes
DSP Read from ZYNQ PL 4096 Bytes
=====
EMIFA_error_count = 0 Bytes
=====
    
```

1.1.3.3.2 ZYNQ PL 程序运行结果

ZYNQ PL 端提供的 ILA 调试窗口，可以实时抓取采集 EMIF16 总线信号时序波形。DSP 通过 EMIF16 总线接口发送数据（即写 ZYNQ PL 端 RAM）示例如下图所示：



DSP 通过 EMIF16 总线接口读回数据（即读 ZYNQ PL 端 RAM）示例如下图所示：



1.1.3.4 退出实验

CCS 软件窗口上，点击 Terminate 断开 DSP 仿真器与板卡的连接。

Vivado 调试界面 Hardware Manager 窗口，右键单击 localhost(1)，在弹出的菜单中点击 Close Server，断开 ZYNQ JTAG 仿真器与板卡的连接。

最后，关闭板卡电源，实验结束。



广州星嵌电子科技有限公司